

#2
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: ODU et al.

New U.S. Patent Application

Filed: December 11, 2000

Attorney Dkt. No.: 024014-00001



For: DATA DRIVER AND DISPLAY UTILIZING THE SAME

CLAIM FOR PRIORITY

Commissioner for Patents
Washington, D.C. 20231

December 11, 2000

Sir:

The benefit of the filing dates of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-217894 filed on July 18, 2000

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 600
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810

smb

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

Jc853 U.S. PTO
09/132700
12/11/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 7月18日

出願番号

Application Number:

特願2000-217894

出願人

Applicant (s):

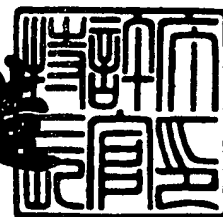
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3072289

【書類名】 特許願

【整理番号】 0000058

【提出日】 平成12年 7月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36
G02F 1/133

【発明の名称】 データドライバ及びそれを用いた表示装置

【請求項の数】 10

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
【氏名】 鶴戸 真也

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
【氏名】 工藤 修

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100101214
【弁理士】
【氏名又は名称】 森岡 正樹

【手数料の表示】
【予納台帳番号】 047762
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905855

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データドライバ及びそれを用いた表示装置

【特許請求の範囲】

【請求項 1】

複数のデータバスラインにアナログ階調電圧を出力するデータドライバであって、

所定の階調数分の複数のアナログ階調電圧を生成する階調電圧生成部と、

前記データバスライン毎に設けられ、階調データに基づいて前記複数のアナログ階調電圧のいずれか 1 つを選択するセレクタ部と、

前記階調電圧生成部に接続されて前記複数のアナログ階調電圧毎に設けられ、前記セレクタ部に前記アナログ階調電圧を供給する複数の階調電圧線と、

動作試験時に前記階調電圧線を前記階調電圧生成部から電氣的に切り離す切替部と

を有することを特徴とするデータドライバ。

【請求項 2】

請求項 1 記載のデータドライバにおいて、

前記階調電圧生成部は、

直列に接続された複数の抵抗を備え、抵抗分割により前記複数のアナログ階調電圧を生成するラダー抵抗部を有していること

を特徴とするデータドライバ。

【請求項 3】

請求項 1 記載のデータドライバにおいて、

前記階調電圧生成部は、

直列に接続された複数のトランジスタを備え、前記トランジスタのオン抵抗を使用した抵抗分割により前記複数のアナログ階調電圧を生成するラダー抵抗部を有していること

を特徴とするデータドライバ。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載のデータドライバにおいて、

前記動作試験時には前記複数の階調電圧線のそれぞれを独立に“H”レベル又は“L”レベルに設定可能な状態設定回路が設けられていることを特徴とするデータドライバ。

【請求項 5】

請求項 4 記載のデータドライバにおいて、

前記状態設定回路は、

通常動作時に前記複数の階調電圧線端を高インピーダンス状態に維持することを特徴とするデータドライバ。

【請求項 6】

請求項 5 記載のデータドライバにおいて、

前記状態設定回路は、前記複数の階調電圧線における前記階調電圧生成部と反対側の配線端部に設けられていること

を特徴とするデータドライバ。

【請求項 7】

請求項 6 記載のデータドライバにおいて、

前記状態設定回路は、

前記複数の階調電圧線のそれぞれの前記配線端部に出力端が接続された CMOS 構造の複数の状態切替用スイッチング素子と、

前記状態切替用スイッチング素子の各入力端に接続され、前記複数の状態切替用スイッチング素子のそれぞれの出力状態を“H”、“L”、又は“Hi z”状態に設定する複数の状態切替回路と

を有していることを特徴とするデータドライバ。

【請求項 8】

請求項 4 記載のデータドライバにおいて、

前記状態設定回路は、

前記階調電圧生成部と前記セレクト部との間で前記複数の階調電圧線にそれぞれ接続された複数の状態切替用スイッチング素子を有していること

を特徴とするデータドライバ。

【請求項 9】

請求項 7 又は 8 に記載のデータドライバにおいて、
前記動作試験時に前記状態設定回路を制御して、前記複数の階調電圧線のうちの 1 本だけを順次 “H” 状態に設定する試験用制御部を有していること
を特徴とするデータドライバ。

【請求項 1 0】

複数のデータバスラインを有し画像を表示する表示装置であって、
前記複数のデータバスラインにアナログ階調電圧を出力するデータドライバとして、請求項 1 乃至 9 のいずれか 1 項に記載のデータドライバを搭載したこと
を特徴とする表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アナログ階調電圧を各データバスラインに出力するデータドライバ及びそれを用いた表示装置に関する。

【0 0 0 2】

【従来の技術】

従来のデータドライバが搭載された液晶表示パネルの構成例について図 6 を用いて説明する。図 6 は、例えばアモルファス・シリコン (a-Si) でチャネル層を形成した薄膜トランジスタ (TFT) をスイッチング素子として有する従来の液晶表示パネル 1 0 1 の概略構成を示している。パネル 1 0 1 の表示領域 9 0 内には図中上下方向に延びるデータバスライン L d が図中左右方向に平行に複数形成され、また、データバスライン L d とほぼ直交する方向に延びるゲート信号線 (図示せず) が図中上下方向に平行に複数形成されている。各データバスライン L d はデータドライバ 1 0 3 ~ 1 1 7 のいずれかに接続されて駆動されるようになっている。また、複数のゲート信号線のそれぞれは、図示を省略したゲートドライバにより駆動されるようになっている。

【0 0 0 3】

例えば、SVGA (Super Video Graphics Array) である横 8 0 0 画素、縦 6 0 0 画素のマトリクス表示のパネルであって、1 画

素が赤 (R)、緑 (G)、青 (B) の 3 つのサブ画素からなるカラー表示の場合、1 本のゲート信号線 (走査線) 上の表示サブ画素数は 2 4 0 0 ($= 8 0 0 \times 3$) となる。この液晶表示装置 1 0 1 を線順次駆動方式で駆動するには、例えば 1 個当たり 3 0 0 本のデータバスライン L d を駆動できる 8 個のデータドライバ 1 0 3 ~ 1 1 7 がデータバスライン L d の上下端部側に 4 個ずつ実装される。データバスライン L d は、例えば図中左から右に向かって順に、パネル上下に設けられたデータドライバ 1 0 3 ~ 1 1 7 に 1 本ずつ交互に接続されている。

【0 0 0 4】

各データバスライン L d に図中左から順に番号を付すと、データドライバ 1 0 3 は番号 1 ~ 5 9 9 の奇数番のデータバスライン L d を駆動し、データドライバ 1 1 1 は番号 2 ~ 6 0 0 の偶数番のデータバスライン L d を駆動する。以下同様にして、データドライバ 1 0 5、1 0 7、1 0 9 は番号 6 0 1 ~ 1 1 9 9、1 2 0 1 ~ 1 7 9 9、1 8 0 1 ~ 2 3 9 9 の奇数番のデータバスライン L d をそれぞれ駆動し、データドライバ 1 1 3、1 1 5、1 1 7 は番号 6 0 2 ~ 1 2 0 0、1 2 0 2 ~ 1 8 0 0、1 8 0 2 ~ 2 4 0 0 の偶数番のデータバスライン L d をそれぞれ駆動する。

【0 0 0 5】

液晶表示装置 1 0 1 に接続されたコンピュータ等のシステム側からは、通常 1 走査線分の表示データがデータバスライン L d の番号順 (昇順あるいは降順) で出力される。従って、各表示データが所定のデータバスライン L d から出力されるように、各表示データをデータドライバ 1 0 3 ~ 1 1 7 のいずれかに割り振る割り振り回路 1 1 9 が別途設けられている。なお、システム側から送出される各画素の R、G、B の三原色の表示データがアナログデータ、デジタルデータのいずれであっても、データドライバ 1 0 3 ~ 1 1 7 に入力する際には、表示階調数に対応するビット数のデジタルデータとして入力される。

【0 0 0 6】

図 6 に示すデータドライバ 1 0 3 ~ 1 1 7 はそれぞれ同一の構成を有しており、データドライバ 1 0 3 を例にとってその概略構造を図 7 を用いて説明する。データドライバ 1 0 3 は、デジタルの階調データ D a t a が入力するシフトレジス

タ 5 0 0 を有している。階調データ D a t a は、例えばそれぞれ 6 b i t からなる赤 (R) データ R d (0 - 5)、緑 (G) データ G d (0 - 5)、及び青 (B) データ B d (0 - 5) であり、各色毎に 6 4 階調の階調表示が可能になっている。

【 0 0 0 7 】

また、シフトレジスタ 5 0 0 は例えば 3 0 0 段で構成され、1 つのデータドライバ 1 0 3 で 3 0 0 本のデータバスラインに階調データを出力できるようになっている。シフトレジスタ 5 0 0 は、不図示の制御部から送られるドットクロック D C L K に同期して階調データ D a t a を順次各段に取り込むようになっている。

【 0 0 0 8 】

シフトレジスタ 5 0 0 の各段 1 ~ 3 0 0 の各出力端子は次段のラッチ回路 5 0 2 に接続されている。シフトレジスタ 5 0 0 の全段に階調データ D a t a が格納されてラッチパルス L P が出力されると、ラッチ回路 5 0 2 はシフトレジスタ 5 0 0 の各段の階調データをラッチする。

【 0 0 0 9 】

ラッチ回路 5 0 2 の次段には基準電圧選択回路が設けられている。基準電圧選択回路は、各データバスラインに 6 4 段階の電圧値を供給する 1 つのラダー抵抗部 5 0 6 と、データバスライン毎に設けられたセクタ部 5 0 8 とを有している。

【 0 0 1 0 】

ラダー抵抗部 5 0 6 は、6 3 個の抵抗 R 1 ~ R 6 3 が直列に接続されており、抵抗 R 1 の一端子側に電圧 V 0 が印加され、抵抗 R 6 3 の一端子側に電圧 V 6 3 が印加される。ラダー抵抗部 5 0 6 からは電圧 V 0 を各セクタ部 5 0 8 に供給するための階調電圧線 1 1 が引き出されている。また、電圧 V 6 3 を各セクタ部 5 8 に供給するための階調電圧線 1 6 4 が引き出されている。またタップ接続により隣接抵抗の各接続点から階調電圧線 1 2 ~ 1 6 2 が引き出されており、抵抗分割により電圧 V 0 ~ V 6 3 までの 6 4 段階の電圧値が階調線圧線 1 1 ~ 1 6 4 により各セクタ部 5 0 8 に供給されるようになっている。

【 0 0 1 1 】

次に、セクタ部 5 0 8 について説明する。例えば 1 番目のデータバスライン用のセクタ部 5 0 8 は、6 4 個のデコーダ $S 1 - 1 \sim S 6 4 - 1$ を有している。各デコーダ $S 1 - 1 \sim S 6 4 - 1$ は、例えば $p c h - M O S F E T$ からなる 6 個のスイッチング素子 $T r 1 \sim T r 6$ を有している。デコーダ $S 1 - 1 \sim S 6 4 - 1$ に設けられた 1 番目のスイッチング素子 $T r 1$ のドレイン電極はラダー抵抗部 5 0 6 から引き出された 6 4 本の階調電圧線 $1 1 \sim 1 6 4$ に順次接続されている。

【 0 0 1 2 】

スイッチング素子 $T r 1$ のソース電極は、次段のスイッチング素子 $T r 2$ のドレイン電極に接続されている。以下同様にして、スイッチング素子 $T r 1 \sim T r 6$ がこの順に直列に接続され、スイッチング素子 $T r 6$ のソース電極が 1 番目の出力線 $O u t 1$ に接続されている。出力線 $O u t 1$ は、バッファ 5 0 4 を介して 1 番目のデータバスラインに接続されている。

【 0 0 1 3 】

スイッチング素子 $T r 1$ のゲート電極は、ラッチ回路 5 0 2 内で 1 番目のデータバスライン用に保持された 6 ビットの階調データのうち例えば 1 ビット目のビット線 $D 1$ 又は $/ D 1$ のいずれかに接続されている。ここで、“ $/$ ” は信号レベルがロー (L) でアクティブになることを示している。同様にして、デコーダ $S 1 - 1 \sim S 6 4 - 1$ の各スイッチング素子 $T r 2 \sim T r 6$ のゲート電極は、ラッチ回路 5 0 2 内で 1 番目のデータバスライン用に保持された 6 ビットの階調データのうち 2 ビット目から 6 ビット目の各ビット線 $D 2$ (または $/ D 2$) $\sim D 6$ (または $/ D 6$) に順次接続されている。

【 0 0 1 4 】

詳しい説明は省略するが、デコーダ $S 1 - 1 \sim S 6 4 - 1$ の各スイッチング素子 $T r 1 \sim T r 6$ のゲート電極に接続するビット線 D 又は $/ D$ を適宜選択して結線することにより、ラッチ回路 5 0 2 に保持された階調データに応じて 6 4 段階の電圧のうちの 1 つを選択することができる。例えば 1 番目のデータバスラインでは、ラッチ回路 5 0 2 に保持された階調データに応じてデコーダ $S 1 - 1 \sim S$

64-1のいずれか1つのデコーダのスイッチング素子Tr1~Tr6が全てオンになり、他のデコーダではスイッチング素子Tr1~Tr6の少なくとも1つがオフになる状態にすることができる。

【0015】

これにより、スイッチング素子Tr1~Tr6が全てオンになったデコーダに接続された階調電圧線1から所望のアナログの階調電圧を1番目のデータバスラインに出力できるようになる。m番目のデータバスラインについても全く同様の動作により所望のアナログ階調電圧を選択して出力することができるようになる。

【0016】

出力線Out1に出力されたアナログ階調電圧はバッファ504を介して、1番目のデータバスラインに接続された画素用TFT（図示せず）のドレイン電極に印加される。所定のゲートバスラインに送出されたゲートパルスによりオン状態にされた画素用TFTから当該階調電圧が画素電極に印加されて1ゲートバスライン分の階調表示が行われる。

【0017】

なお、通常、液晶の劣化を防止するため、液晶に印加する階調電圧はフレーム毎に極性を反転させるいわゆる反転（交流）駆動を行う。そのためデータドライバからは、コモン電位に対して正極性（+V）と負極性（-V）の双方をそれぞれ64段階で出力できるようにラダー抵抗及びデコーダを構成するが、説明を簡略化するため図7では正極性側の構成のみを示している。

【0018】

【発明が解決しようとする課題】

ところで、このデータドライバは製造工程の最終段階において性能評価や機能試験が行われる。この評価や試験ではデータドライバを実際の動作状態と同一の条件で稼働させて不良を検出するようにしている。すなわち、全セクタ部508に64通りの階調データを順次出力して、各出力線Out1~Outmから出力されるアナログ階調電圧をテストでモニタする。出力線Out1~Outmのいずれかの出力信号レベルが基準レベルに達しない場合に、当該データドライバ

を不良と判定する。

【0019】

ここで、例えば正極性側が $V_0 = 0\text{ V}$ 、 $V_{63} = 5\text{ V}$ であり、負極性側が $V_0 = 0\text{ V}$ 、 $V_{63} = -5\text{ V}$ であるとする。上記のように片側の極性が64階調であるとする、階調間の電圧差は80 mV程度しかない。さらに、128階調や256階調を実現しようとする、階調間の電圧差はさらに小さくなって20～40 mV程度になる。

【0020】

従って、階調データを順次印加してデータドライバの性能評価や機能試験をしようとする、上述のように隣り合う階調間の階調電圧差が小さいため、表示分解能に優れた比較的高精度のテストを用いる必要が生じてしまい、試験に要するコストが高くなってしまいう問題がある。

【0021】

また、アナログの階調電圧のレベルが十分安定してから各出力線 $Out_1 \sim Out_m$ の出力をモニタしなければならない。このため階調データを高速に切り替えて短時間で試験を行うことができないという問題が生じている。さらに、多数のデコーダSに対して上記動作を繰り返す必要があるため、試験に長時間を要してしまうという問題が生じている。

【0022】

また、製造工程で隣接階調電圧線間に異物が付着したが短絡には至っていないデータドライバを見つけ出して不良品として処理するためのストレス電圧を配線間に印加する試験を行うことができないという問題もある。従って、経時不良を生じる可能性のあるデータドライバを液晶パネルに実装してしまい、製品出荷後に液晶表示装置に表示不良が発生するという不具合が生じてしまう問題も有している。

【0023】

本発明の目的は、容易で確実な動作試験が行えると共に、試験時間を短縮することができるデータドライバ及びそれを用いた表示装置を提供することにある。

【0024】

【課題を解決するための手段】

上記目的は、複数のデータバスラインにアナログ階調電圧を出力するデータドライバであって、所定の階調数分の複数のアナログ階調電圧を生成する階調電圧生成部と、前記データバスライン毎に設けられ、階調データに基づいて前記複数のアナログ階調電圧のいずれか1つを選択するセレクタ部と、前記階調電圧生成部に接続されて前記複数のアナログ階調電圧毎に設けられ、前記セレクタ部に前記アナログ階調電圧を供給する複数の階調電圧線と、動作試験時に前記階調電圧線を前記階調電圧生成部から電氣的に切り離す切替部とを有することを特徴とするデータドライバによって達成される。

【0025】

動作試験時に前記複数の階調電圧線の少なくとも一部又は全部を前記階調電圧生成部から電氣的に切り離すことにより、前記階調電圧線を任意の電圧レベルに設定して試験することが可能になる。これにより前記階調電圧生成部から各階調電圧線に出力されるアナログ階調電圧の隣接間の電圧差がいくら小さくても、動作試験を容易に確実に短時間で行うことができるようになる。

【0026】

上記本発明のデータドライバにおいて、前記階調電圧生成部は、直列に接続された複数の抵抗を備え、抵抗分割により前記複数のアナログ階調電圧を生成するラダー抵抗部を有していることを特徴とする。あるいは、上記本発明のデータドライバにおいて、前記階調電圧生成部は、直列に接続された複数のトランジスタを備え、前記トランジスタのオン抵抗を使用した抵抗分割により前記複数のアナログ階調電圧を生成するラダー抵抗部を有していることを特徴とする。

【0027】

また、上記本発明のデータドライバにおいて、前記動作試験時には前記複数の階調電圧線のそれぞれを独立に“H”レベル又は“L”レベルに設定可能な状態設定回路が設けられていることを特徴とする。

【0028】

上記本発明のデータドライバにおいて、前記状態設定回路は、通常動作時に前記複数の階調電圧線端を高インピーダンス状態に維持することを特徴とする。ま

た、前記状態設定回路は、前記複数の階調電圧線における前記階調電圧生成部と反対側の配線端部に設けられていることを特徴とする。

【 0 0 2 9 】

また、前記状態設定回路は、前記複数の階調電圧線のそれぞれの前記配線端部に出力端が接続されたCMOS構造の複数の状態切替用スイッチング素子と、前記状態切替用スイッチング素子の各入力端に接続され、前記複数の状態切替用スイッチング素子のそれぞれの出力状態を“H”、“L”、又は“Hi z”状態に設定する複数の状態切替回路とを有していることを特徴とする。

【 0 0 3 0 】

あるいは、前記状態設定回路は、前記階調電圧生成部と前記セクタ部との間で前記複数の階調電圧線にそれぞれ接続された複数の状態切替用スイッチング素子を有していることを特徴とする。

【 0 0 3 1 】

上記データドライバにおいて、前記動作試験時に前記状態設定回路を制御して、前記複数の階調電圧線のうちの1本だけを順次“H”状態に設定する試験用制御部を有していることを特徴とする。

【 0 0 3 2 】

本発明の構成によれば、複数の階調電圧線のそれぞれに“H”又は“L”レベルの電圧を印加して動作試験を行うことができるので、短時間で正確にデータドライバの良不良を判断できる。また、本発明の構成によれば、複数の階調電圧線の電位を配線毎に“H”又は“L”レベルに切り替えられるので、ストレス電圧を配線間に印加する試験を行うこともできる。

【 0 0 3 3 】

また、上記目的は、複数のデータバスラインを有し画像を表示する表示装置であって、前記複数のデータバスラインにアナログ階調電圧を出力するデータドライバとして、上記本発明のデータドライバを搭載したことを特徴とする表示装置によって達成される。

本発明によれば、経時不良を生じる可能性のあるデータドライバを実装しないようにすることができるので、製品出荷後の液晶表示装置の不具合の発生を低減

することができる。

【 0 0 3 4 】

【発明の実施の形態】

本発明の一実施の形態によるデータドライバ及びそれを用いた液晶表示装置について図 1 乃至図 5 を用いて説明する。まず、本実施の形態によるアクティブマトリクス型の液晶表示装置として、薄膜トランジスタ (TFT: Thin Film Transistor) をスイッチング素子に用いた液晶表示装置の構造を図 1 を用いて簡単に説明する。図 1 は液晶表示装置をパネル上面から見た状態を示しており、アレイ基板 1 と対向基板 (端辺を破線で示している) 14 の 2 枚のガラス基板間に液晶が封入されている。

【 0 0 3 5 】

アレイ基板 1 上には例えば図面左右方向に延びるゲートバスライン 2 が上下方向に平行に複数形成されている。図示しない絶縁膜を介して図面上下方向に延びるデータバスライン 4 が左右方向に平行に複数形成されている。このように縦横に形成されたゲートバスライン 2 とデータバスライン 4 とで画定されたマトリクス状の複数の領域のそれぞれは、画素領域として画素電極 8 が形成されている。

【 0 0 3 6 】

各画素領域のゲートバスライン 2 とデータバスライン 4 との交差点近傍には TFT 6 が形成され、TFT 6 のゲート電極はゲートバスライン 2 に、ドレイン電極はデータバスライン 4 にそれぞれ接続されている。また、ソース電極は画素電極 8 に接続されている。各ゲートバスライン 2 はゲートドライバ 18 により駆動され、各データバスライン 4 はデータドライバ 16 により駆動される。データドライバ 16 から各データバスライン 4 に対して階調電圧が出力され、いずれかのゲートバスライン 2 にゲート信号が出力されると、当該ゲートバスライン 2 にゲート電極が接続された一連の TFT 6 がオンになり、それらの TFT 6 のソース電極と接続された画素電極 8 に階調電圧が印加される。

【 0 0 3 7 】

次に、本実施の形態による液晶表示装置の表示駆動系の概略構成について図 2 を用いて説明する。図 2 は、液晶表示装置をパネル上面から見た状態を示してお

り、アレイ基板1上の画素の構成等は図1に示したものと同様であるのでそれらの図示は省略している。

【0038】

図2に示すように、複数のデータバスライン4にそれぞれデータ信号を出力する複数のデータドライバ16-1～16-nが、パネル上方左から右に順に例えばTAB (Tape Automated Bonding) 実装によりアレイ基板1に接続されている。同様にしてパネル左方上から下に向かって複数のゲートドライバ18-1～18-nが設けられている。ゲートドライバ18-1～18-nはゲートドライバ制御信号を出力するタイミングコントローラ20に信号線26を介して接続されている。

【0039】

タイミングコントローラ20には、PC (パーソナル・コンピュータ) 等のシステム側から出力されたクロックCLK及びデータイネーブル信号Enab、並びにデジタルの階調データData等が入力する。

【0040】

タイミングコントローラ20は、水平カウンタ22及び垂直カウンタ24を有している。水平カウンタ22は、外部クロックCLKに基づいて生成されたドットクロックDCLKの数をカウントする。垂直カウンタ24は、データイネーブル信号Enabの数をカウントする。水平、垂直カウンタ22、24の出力値はデコーダ (図示せず) に入力され、それらに基づいてデコーダから種々の制御信号が出力されるようになっている。

【0041】

タイミングコントローラ20は、ゲートドライバ制御信号としてゲートクロックGCLKとゲートスタート信号GSTを出力する。ゲートクロックGCLKとゲートスタート信号GSTは、水平カウンタ22でデータイネーブル信号Enabの立ち下がリエッジまたは立ち上がりエッジからのドットクロックDCLKの数をカウントして得られる水平周期に基づいて出力される。ゲートスタート信号GSTは、データイネーブル信号Enabの数を垂直カウンタ24でカウントして得られる垂直周期に基づいて出力される。

【0042】

タイミングコントローラ20は、データドライバ制御信号としてドットクロックDCLK、ラッチパルスLP、極性信号POL、及びデータスタート信号DSTを出力する。ラッチパルスLP、極性信号POL、及びデータスタート信号DSTは上述の水平カウンタ22で得られる水平周期に基づいて出力される。これらの制御信号は制御線30を介してデータドライバ16-1～16-nに出力される。また、階調データDataはデータ線28を介してデータドライバ16-1～16-nに入力される。

【0043】

次に、データドライバ16-1～16-nについてより詳細に説明する。図3はデータドライバ16-1の構成の概略を示している。なお、他のデータドライバ16-2～16-nも同様の構成であるのでそれらの説明は省略する。

【0044】

データドライバ16-1は、図2に示したデータ線28に出力された階調データDataが入力するシフトレジスタ50を有している。階調データDataは、例えばそれぞれ6bitからなる赤(R)データRd(0-5)、緑(G)データGd(0-5)、及び青(B)データBd(0-5)であり、各色毎に64階調の階調表示が可能になっている。

【0045】

また、シフトレジスタ50はm段(例えば、384段)で構成され、1つのデータドライバ16-1で384本(m=384の場合)のデータバスラインに階調データを出力できるようになっている。シフトレジスタ50は、図2に示す制御線30に出力されたドットクロックDCLKの例えば立ち上がりエッジに同期して階調データDataを順次各段に取り込むようになっている。

【0046】

シフトレジスタ50の各段1～mの各出力端子は次段のラッチ回路52に接続されている。シフトレジスタ50の全段に階調データDataが格納されてラッチパルスLPが制御線30に出力されると、ラッチ回路52はシフトレジスタ50の各段の階調データをラッチする。

【0047】

ラッチ回路52の次段には基準電圧選択回路が設けられている。基準電圧選択回路は、各データバスライン毎に設けられたセレクト部58と、各データバスラインに供給される64段階のアナログ階調電圧を生成する階調電圧生成部としての例えばラダー抵抗部56とを有している。

【0048】

ラダー抵抗部56は、63個の抵抗 $R_1 \sim R_{63}$ が直列に接続されており、抵抗 R_1 の一端子側に電圧 V_0 が印加され、抵抗 R_{63} の一端子側に電圧 V_{63} が印加される。ラダー抵抗部56からは電圧 V_0 を各セレクト部58に供給するための階調電圧線11が引き出されている。また、電圧 V_{63} を各セレクト部58に供給するための階調電圧線164が引き出されている。またタップ接続により隣接抵抗の各接続点から階調電圧線12～163が引き出されており、抵抗分割により電圧 $V_0 \sim V_{63}$ までの64段階の電圧値が階調電圧線11～164により各セレクト部58に供給されるようになっている。

【0049】

次に、セレクト部58について説明する。例えば1番目のデータバスラインのセレクト部58は、64個のデコーダ $S_{1-1} \sim S_{64-1}$ を有している。各デコーダ $S_{1-1} \sim S_{64-1}$ は、例えばpch-MOSFET（金属酸化物半導体型電界効果トランジスタ）からなる6個のスイッチング素子 $Tr_1 \sim Tr_6$ を有している。各デコーダ $S_{1-1} \sim S_{64-1}$ のスイッチング素子 Tr_1 のドレイン電極（またはソース電極；以下、ドレイン電極として説明する）はラダー抵抗部56から引き出された64本の階調電圧線11～164に順次接続されている。

【0050】

スイッチング素子 Tr_1 のソース電極は、次段のスイッチング素子 Tr_2 のドレイン電極に接続されている。以下同様にして、スイッチング素子 $Tr_1 \sim Tr_6$ がこの順に直列に接続され、スイッチング素子 Tr_6 のソース電極が1番目の出力線 Out_1 に接続されている。出力線 Out_1 は、バッファ54を介して1番目のデータバスラインに接続されている。

【0051】

スイッチング素子 Tr_1 のゲート電極は、ラッチ回路52内で1番目のデータバスライン用に保持された6ビットの階調データのうち1ビット目のビット線 D_1 又は $/D_1$ のいずれかに接続されている。ここで、“/”は信号レベルがロー(L)でアクティブになることを示している。同様に、デコーダ $S_{1-1} \sim S_{64-1}$ の各スイッチング素子 $Tr_2 \sim Tr_6$ のゲート電極は、ラッチ回路52内で1番目のデータバスライン用に保持された6ビットの階調データのうち2ビット目から6ビット目の各ビット線 D_2 (または $/D_2$) $\sim D_6$ (または $/D_6$) に順次接続されている。

【0052】

同様に、 m 番目のデータバスラインのセレクタ部58は、64個のデコーダ $S_{1-m} \sim S_{64-m}$ を有している。各デコーダ $S_{1-m} \sim S_{64-m}$ は、例えば $pch-MOSFET$ からなる6個のスイッチング素子 $Tr_1 \sim Tr_6$ を有している。各デコーダ $S_{1-m} \sim S_{64-m}$ のスイッチング素子 Tr_1 のドレイン電極はラダー抵抗部56から引き出された64本の階調電圧線 $1_1 \sim 1_{64}$ に順次接続されている。

【0053】

各デコーダ $S_{1-m} \sim S_{64-m}$ のスイッチング素子 Tr_1 のソース電極は、次段のスイッチング素子 Tr_2 のドレイン電極に接続されている。以下同様に、スイッチング素子 $Tr_1 \sim Tr_6$ がこの順に直列に接続され、スイッチング素子 Tr_6 のソース電極が m 番目の出力線 Out_m に接続されている。出力線 Out_m は、バッファ54を介して m 番目のデータバスラインに接続されている。

【0054】

スイッチング素子 Tr_1 のゲート電極は、ラッチ回路52内で m 番目のデータバスライン用に保持された6ビットの階調データのうち1ビット目のビット線 D_1 又は $/D_1$ のいずれかに接続されている。同様に、デコーダ $S_{1-m} \sim S_{64-m}$ の各スイッチング素子 $Tr_2 \sim Tr_6$ のゲート電極は、ラッチ回路52内で m 番目のデータバスライン用に保持された6ビットの階調データのうち2ビット目から6ビット目の各ビット線 D_2 (または $/D_2$) $\sim D_6$ (または $/D_6$)

）に順次接続されている。

【0055】

詳しい説明は省略するが、デコーダS1-1～S64-1の各スイッチング素子Tr1～Tr6のゲート電極に接続するビット線D又は/Dを適宜選択して結線することにより、ラッチ回路52に保持された階調データに応じて64段階の電圧のうちの1つを選択するように構成できる。例えば1番目のデータバスラインでは、ラッチ回路52に保持された1番目のデータバスラインの階調データに応じてデコーダS1-1～S64-1のいずれか1つのデコーダのスイッチング素子Tr1～Tr6が全てオンになり、他のデコーダではスイッチング素子Tr1～Tr6の少なくとも1つがオフになる状態にすることができる。

【0056】

これにより、スイッチング素子Tr1～Tr6が全てオンになったデコーダに接続された階調電圧線1から所望のアナログ階調電圧を1番目のデータバスラインに出力できるようになる。m番目のデータバスラインについても全く同様の動作により所望のアナログ階調電圧を選択して出力することができるようになる。

【0057】

出力線Out1に出力された階調電圧はバッファ54を介して、1番目のデータバスラインに接続されたTFT（図示せず）のドレイン電極に印加される。出力線Outmに出力された階調電圧はバッファ54を介して、m番目のデータバスラインに接続されたTFT（図示せず）のドレイン電極に印加される。所定のゲートバスラインに送出されたゲートパルスによりオン状態にされたTFTから当該階調電圧が画素電極に印加されて1ゲートバスライン分の階調表示が行われる。

【0058】

なお、通常、液晶の劣化を防止するため、液晶に印加する階調電圧はフレーム毎に極性を反転させるいわゆる反転（交流）駆動を行う。そのためデータドライバからは、コモン電位に対して正極性（+V）と負極性（-V）の双方をそれぞれ64段階で出力できるようにラダー抵抗及びデコーダを構成するが、説明を簡略化するため図3では正極性側の構成のみを示している。

【0059】

本実施の形態によるデータドライバ16は、以上説明した構成に加えてさらに以下に示す構成を有している。以下に示す構成は、本実施形態のデータドライバの製造工程の最終段階における性能評価、機能試験で用いられる。

【0060】

まず、基準電圧選択回路内に、ラダー抵抗部56とセクタ部58との間を電氣的に接続あるいは分離する切替スイッチ部60が設けられている。切替スイッチ部60は、ラダー抵抗部56とセクタ部58との間の各階調電圧線11～164に形成された例えばMOSFET構造のスイッチング素子1s1～1s64を有している。

【0061】

スイッチング素子1s1～1s64の全てを一斉にオン状態にすることにより、ラダー抵抗部56とセクタ部58とを電氣的に接続し、一斉にオフ状態にすることによりそれらを電氣的に分離できるようになっている。

【0062】

スイッチング素子1s1～1s64のゲート電極は共通接続されており、不図示の試験装置から印加される切替信号Vchのレベルでゲートのオンオフが制御できるようになっている。スイッチング素子1s1～1s64をpch-MOSFETで構成した場合には、切替信号Vchを“H”レベルに維持することによりスイッチング素子1s1～1s64をオフ状態にしてラダー抵抗部56とセクタ部58とを電氣的に分離することができる。

【0063】

各階調電圧線11～164においてラダー抵抗部56と反対側の配線端部には、各階調電圧線11～164のそれぞれを“H”レベル又は“L”レベルに設定し、あるいは各階調電圧線11～164端を高インピーダンス状態に設定する状態設定回路62が設けられている。

【0064】

状態設定回路62は、各階調電圧線11～164にそれぞれ接続された例えばCMOS構造の状態切替用スイッチング素子C1～C64を有している。各状態

切替用スイッチング素子C1～C64のp ch-MOSFETのソース電極は不図示の試験装置に設けられた状態設定電源Vsに接続され、n ch-MOSFETのソース電極はグランドに接続されている。状態切替用スイッチング素子C1～C64のp ch-MOSFET及びn ch-MOSFETのゲート電極は状態切替回路H1～H64にそれぞれ接続されている。

【0065】

ラダー抵抗部56とセクタ部58とが電氣的に分離されて階調電圧線11～164がフローティングの状態において、例えば、階調電圧線11を“H”レベルに設定しようとするれば、状態切替回路H1により状態切替用スイッチング素子C1のp ch-MOSFETのゲート電極及びn ch-MOSFETのゲート電極に“L”を入力して、p ch-MOSFETをオン状態にすると共にn ch-MOSFETをオフ状態にする。これにより、階調電圧線11を状態設定電源Vsに応じた“H”レベルに設定することができる。

【0066】

同様に、階調電圧線11を“L”レベルに設定しようとするれば、状態切替回路H1により状態切替用スイッチング素子C1のp ch-MOSFETのゲート電極及びn ch-MOSFETのゲート電極に“H”を入力して、p ch-MOSFETをオフ状態にすると共にn ch-MOSFETをオン状態にする。これにより、階調電圧線11を接地電位に応じた“L”レベルに設定することができる。

【0067】

また同様に、状態切替用スイッチング素子C1の出力状態を“Hi z”に設定しようとするれば、状態切替回路H1により状態切替用スイッチング素子C1のp ch-MOSFETのゲート電極に“H”を入力すると共にn ch-MOSFETのゲート電極に“L”を入力して、p ch-MOSFET及びn ch-MOSFETを共にオフ状態にする。これにより、階調電圧線11端を高インピーダンス状態に設定することができる。

他の階調電圧線12～164のそれぞれについても、上記と同様にして“H”又は“L”状態あるいは線端部を高インピーダンス状態にすることができる。

【0068】

状態設定回路62は、不図示の試験装置から供給されるテストクロックTST-CLKに同期して動作するシフトレジスタ（図示せず）を内蔵した試験用制御部64に接続されている。不図示のシフトレジスタが例えばテストクロックTST-CLKの立ち上がりエッジに同期して順次シフトクロックを出力するのに応じて、試験用制御部64は状態切替回路H1～H64に対して順次制御信号を送出するようになっている。状態切替回路H1～H64はシフトレジスタからのシフトクロックの出力順に試験用制御部64に接続されている。

【0069】

試験時には、各状態切替回路H1～H64は、試験用制御部64からの制御信号を順次受け取って状態切替用スイッチング素子C1～C64のいずれかへの入力を“L”レベルにして、階調電圧線11～164のうちの1本だけを順次“H”レベルにすることができるようになっている。

【0070】

試験用制御部64にはテストクロックTST-CLKの他、不図示の試験装置からリセット信号Resetが入力するようになっている。リセット信号Resetが入力すると試験用制御部64内のシフトレジスタがリセットされると共に全ての状態切替回路H1～H64は“H”レベルを出力して階調電圧線11～164の全てを“L”レベルにするようになっている。

【0071】

次に、本実施の形態によるデータドライバの製造工程における性能評価や機能試験における動作について説明する。

まず、基準電圧選択回路内のラダー抵抗部56とセクタ部58との間に設けられた切替スイッチ部60において、各階調電圧線11～164のラダー抵抗部56とセクタ部58との間に形成されたスイッチング素子1s1～1s64の全てを一斉にオフ状態にする。

【0072】

これにより、ラダー抵抗部56とセクタ部58とを電氣的に分離して、各階調電圧線11～164をフローティング状態に維持する。スイッチング素子1s

1～1s64をp ch-MOSFETで構成した場合には、不図示の試験装置から切替信号Vch=“H”を印加してスイッチング素子1s1～1s64をオフ状態にしてラダー抵抗部56とセクタ部58とを電氣的に分離する。

【0073】

次に、各状態切替用スイッチング素子C1～C64を試験装置側の状態設定電源Vs及びグランドに接続する。

【0074】

まず試験装置側からデータドライバ16に対して送出されたReset信号により試験用制御部64やシフトレジスタ50及びその他の回路を初期化する。初期化状態において、状態切替回路H1～H64により全ての状態切替用スイッチング素子C1～c64の入力は“H”になり、これにより、全ての階調電圧線11～164は接地電位に応じた“L”レベルに設定される。

【0075】

試験時のシフトレジスタ50には、通常動作時より高速の試験用ドットクロックTDCLKが入力する。試験用ドットクロックTDCLKに同期して、シフトレジスタ50には6ビットの同一階調の階調データ（例えば、64階調のうちの第1階調“000000”であるとする）がm（=384）回入力する。シフトレジスタ50でのm個の同一階調データの入力が終わると、試験用ドットクロックTDCLKから生成されたテストクロックTST-CLKがラッチパルスLPの代わりにラッチ回路52に入力し、m個の階調データがラッチされる。これにより、全てのセクタ部58のうち1番目のデコーダS1-1～S1-mのスイッチング素子Tr1～Tr6がオン状態になる。

【0076】

一方、試験用制御部62は、テストクロックTEST-CLKの入力に同期して、階調電圧線11（通常動作時にはラダー抵抗部56から第1階調に対応するアナログ電圧が供給される。）に接続された状態切替回路H1に制御信号を出力する。これにより、状態切替回路H1は状態切替用スイッチング素子C1に“L”を出力して、p ch-MOSFETをオン状態にすると共にn ch-MOSFETをオフ状態にする。階調電圧線12～164は“L”レベルに維持されて、

階調電圧線 11 だけが状態設定電源 V_s に応じた “H” レベルに設定される。

【0077】

以上の動作により、出力線 $Out\ 1 \sim Out\ m$ のそれぞれからは、状態設定電源 V_s に応じた電圧が計測される。出力線 $Out\ 1 \sim Out\ m$ のそれぞれの電圧値をモニタすることにより、データドライバ 16 の動作試験をすることができる。例えば、出力線 $Out\ 1$ について、セレクト部 58 内で信号レベルが “H” になっているのは階調電圧線 11 だけであり、且つ、全てのスイッチング素子 $Tr\ 1 \sim Tr\ 6$ がオン状態になっているのはデコーダ $S\ 1-1$ だけのはずである。従って、状態設定電源 V_s に応じた電圧が出力線 $Out\ 1$ から計測されていれば、当該セレクト部 58 は正常に動作していると判断できる。

【0078】

例えば、デコーダ $S\ 1-1$ のスイッチング素子 $Tr\ 1 \sim Tr\ 6$ のいずれかが不良でオフ状態のままであれば、デコーダ $S\ 1-1$ から出力線 $Out\ 1$ に所望の電圧が印加されず、従って、出力線 $Out\ 1$ からは状態設定電源 V_s に応じた電圧よりかなり低い電圧値が計測される。

【0079】

また、他のデコーダ $S\ 2-1 \sim S\ 64-1$ のいずれかが不良で、当該不良デコーダのスイッチング素子 $Tr\ 1 \sim Tr\ 6$ が全てオン状態になっている場合には、デコーダ $S\ 1-1$ が正常であっても、出力線 $Out\ 1$ には、状態設定電源 V_s に応じた電圧に加えて、当該不良デコーダからの “L” レベルの電圧が重畳されて、正常値より低い（例えば約半分）電圧値が計測される。

【0080】

従って、出力線 $Out\ 1$ で計測される電圧値が所定の閾値を超えているか否かを比較判断するだけで容易に瞬時に動作の良不良を判定できる。他の出力線 $Out\ 2 \sim Out\ m$ でも同様の測定動作により動作の良不良を瞬時に判定できる。

【0081】

さて、次に、試験用ドットクロック $TDCLK$ に同期して、シフトレジスタ 50 には 6 ビットの同一階調の階調データ（例えば、64 階調のうちの第 2 階調 “000001” であるとする）が m ($=384$) 回入力する。シフトレジスタ 5

0でのm個の同一階調データの入力が終わるとテストクロックTEST-CLKに同期してラッチ回路52にm個の階調データがラッチされる。これにより、全てのセクタ部58のうち2番目のデコーダS2-1～S2-mのスイッチング素子Tr1～Tr6がオン状態になる。

【0082】

一方、試験用制御部62は、階調電圧線11に接続された状態切替回路H1に制御信号を出力して、状態切替用スイッチング素子C1に“H”を出力して、当該pch-MOSFETをオフ状態にすると共にnch-MOSFETをオン状態にする。これにより、階調電圧線11は“L”レベルにされて、再び全階調電圧線11～164が“L”レベルに設定される。

【0083】

次いで、試験用制御部62は、テストクロックTEST-CLKの入力に同期して、階調電圧線12（通常動作時にはラダー抵抗部56から第2階調に対応するアナログ電圧が供給される。）に接続された状態切替回路H2に制御信号を出力する。

【0084】

これにより、状態切替回路H2は状態切替用スイッチング素子C2に“L”を出力して、当該pch-MOSFETをオン状態にすると共にnch-MOSFETをオフ状態にする。これにより、階調電圧線11及び13～164は“L”レベルに維持されて、階調電圧線12だけが状態設定電源Vsに応じた“H”レベルに設定される。

【0085】

以上の動作により、出力線Out1～Outmのそれぞれの出力電圧値を計測することにより、上述と同様にしてデータドライバ16の動作試験をすることができる。以上説明した試験動作を全64階調分繰り返すことにより、全セクタ部58の良不良を調べることができる。また、同時にシフトレジスタ50やラッチ回路52の性能を評価することもできる。

【0086】

このように、本実施の形態によるデータドライバの試験においては、ラダー抵

抗部 5 6 を電氣的に切り離し、ラダー抵抗部 5 6 からのアナログ階調電圧を用いずに試験をすることができる。従って、従来のようにアナログの階調電圧のレベルが十分安定してから各出力線 Out 1 ~ Out m の出力をモニタする必要がなくなるので、階調データを高速に切り替えて短時間で試験を行うことができるようになる。このため、多数のデコーダ S に対して上記動作を繰り返しても短時間で試験を終了させることができるようになる。

【 0 0 8 7 】

またさらに、階調数が増えてラダー抵抗部 5 6 で生成するアナログ階調電圧の階調間電圧差が小さくならうとも、高精度のテストを出力線 Out 1 ~ Out m のそれぞれに接続する必要がないので、試験に要するコストを低く抑えることができる。

【 0 0 8 8 】

次に、本実施の形態によるストレス電圧の印加試験について簡単に説明する。既述のように、ストレス電圧の印加試験は、製造工程において隣接階調電圧線間に異物が付着しているが短絡には至っていないデータドライバを発見して良品から除外するために行う。このために、まず、各階調電圧線 1 1 ~ 1 6 4 にそれぞれ接続された状態切替用スイッチング素子 C 1 ~ C 6 4 の状態設定電源 V s の電圧値を比較的高め（例えば、+ 8 V 程度）に設定しておく。

【 0 0 8 9 】

次いで、上記動作試験と同様にして、階調電圧線 1 1 ~ 1 6 4 の 1 本ずつに順次状態設定電源 V s の電圧値を印加する。これにより、隣接階調電圧線間に比較的大きな電位差を生じさせてストレス試験を行うことができる。

このように本実施の形態によれば、容易にストレス試験を行うことができるため、経時不良を生じる可能性のあるデータドライバを液晶パネルに実装してしまうことを確実に防止することができるようになる。

【 0 0 9 0 】

以上説明した動作試験が終了した良品のデータドライバ 1 6 は、以下の手順により通常動作可能状態にすることができる。

まず、基準電圧選択回路内のラダー抵抗部 5 6 とセクタ部 5 8 との間に設け

られた切替スイッチ部 60 において、各階調電圧線 11～164 のラダー抵抗部 56 とセクタ部 58 との間に形成されたスイッチング素子 1s1～1s64 の全てを一斉にオン状態にする。

【0091】

これにより、ラダー抵抗部 56 とセクタ部 58 とを電氣的に接続して、各階調電圧線 11～164 にラダー抵抗部 56 からのアナログ階調電圧が印加されるようにする。スイッチング素子 1s1～1s64 を pch-MOSFET で構成した場合には、システム側から切替信号 $V_{ch} = "L"$ を印加してスイッチング素子 1s1～1s64 をオン状態にしてラダー抵抗部 56 とセクタ部 58 とを電氣的に接続する。

【0092】

また、状態切替回路 H1～H64 により状態切替用スイッチング素子 C1～C64 の pch-MOSFET のゲートを "H" にすると共に nch-MOSFET のゲートを "L" にして、pch-MOSFET 及び nch-MOSFET を共にオフ状態にする。これにより、状態切替用スイッチング素子 C1～C64 の出力状態を全て "HiZ" に設定でき階調電圧線 11～164 端を高インピーダンス状態に維持することができる。

以上の設定により本実施の形態によるデータドライバを通常の動作モードで使うことができるようになる。

【0093】

次に、本実施の形態によるデータドライバの他の変形例について図 4 を用いて説明する。本変形例が用いられる液晶表示装置は、上記実施の形態における図 1 及び図 2 に示したアクティブマトリクス型液晶表示装置と同様なのでその説明は省略する。また、図 1 乃至図 3 を用いて説明した構成要素と同一の機能作用を有する構成要素には同一の符号を付してその説明は省略する。

【0094】

本変形例に係るデータドライバは、図 3 に示したデータドライバ 16 におけるラダー抵抗部 56 と切替スイッチ部 60 に代えて、図 4 に示すラダー抵抗部 57 を設けた点に特徴を有している。階調電圧生成部としてのラダー抵抗部 57 は、

直列に接続された63個のMOSトランジスタ $RTr1 \sim RTr63$ を有している。トランジスタ $RTr1 \sim RTr63$ のゲート電極は共通接続されており、切替信号 Vch により全トランジスタ $RTr1 \sim RTr63$ を同時にオン状態又はオフ状態にすることができるようになっている。

【0095】

トランジスタ $RTr1$ の例えばドレイン電極側には階調電圧線11を介して電圧 $V0$ が印加され、トランジスタ $RTr63$ の例えばソース電極側には階調電圧線164を介して電圧 $V63$ が印加されるようになっている。隣接するトランジスタ RTr 間には図中上から順に階調電圧線12～163が接続されている。隣接トランジスタ RTr の各接続点でタップ接続された階調電圧線12～163は、各セクタ部58に引き出されている。

【0096】

トランジスタ $RTr1 \sim RTr64$ を $pch-MOSFET$ で構成した場合には、切替信号 Vch を“L”レベルに維持することによりトランジスタ $RTr1 \sim RTr63$ をオン状態にして、トランジスタ $RTr1 \sim RTr63$ のオン抵抗によるラダー抵抗を形成し、電圧 $V0 \sim V63$ までの64段階の電圧値を階調電圧線11～164にそれぞれ供給する。

【0097】

また、切替信号 Vch を“H”レベルに切り替えることによりトランジスタ $RTr1 \sim RTr63$ をオフ状態にして、各階調電圧線11～164間を電氣的に分離することができる。本変形例において上記以外の回路構成は図3に示す上記実施形態の構成と同様であるのでその説明は省略する。

【0098】

本変形例によるデータドライバの製造工程における性能評価や機能試験における動作は、全体として上述の図1乃至3を用いて説明したのとほぼ同様である。但し、各階調電圧線11～164間の電氣的分離は、上述のようにラダー抵抗部57内の切替信号 Vch によりトランジスタ $RTr1 \sim RTr63$ の全てをオフ状態にして行う。また試験時においては、階調電圧線11及び階調電圧線164は電圧無印加状態にしておく。

【0099】

このような本変形例によるデータドライバの試験においても、ラダー抵抗部 57 からのアナログ階調電圧を用いずに試験をすることができる。従って、上記実施の形態と同様に階調データを高速に切り替えて短時間で試験を行うことができるようになる。このため、短時間で試験を終了させることができると共に、高精度のテストを出力線 Out 1 ~ Out m のそれぞれに接続する必要がないので、試験に要するコストを低く抑えることができる。また、上記実施の形態と同様に、ストレス電圧の印加試験を容易に実施することができる。

【0100】

以上説明した動作試験が終了した良品のデータドライバ 16 は、以下の手順により通常動作可能状態にすることができる。まず、階調電圧線 11 に電圧 V0 を印加し、階調電圧線 164 に電圧 V63 を印加する。次いで、トランジスタ RTr 1 ~ RTr 64 に所定の切替信号 Vch を入力してトランジスタ RTr 1 ~ RTr 63 をオン状態にして、トランジスタ RTr 1 ~ RTr 63 のオン抵抗によるラダー抵抗を形成し、電圧 V0 ~ V63 までの 64 段階の電圧値を階調線圧線 11 ~ 164 にそれぞれ供給する。

【0101】

また、状態切替用スイッチング素子 C1 ~ C64 の出力状態を全て “Hi z” に設定して階調電圧線 11 ~ 164 端を高インピーダンス状態に維持する。以上の設定により本実施の形態によるデータドライバを通常の動作モードで使うことができるようになる。

【0102】

次に、本実施の形態によるデータドライバの他の変形例について図 5 を用いて説明する。本変形例が用いられる液晶表示装置は、上記実施の形態における図 1 及び図 2 に示したアクティブマトリクス型液晶表示装置と同様なのでその説明は省略する。また、図 1 乃至図 3 を用いて説明した構成要素と同一の機能作用を有する構成要素には同一の符号を付してその説明は省略する。

【0103】

図 5 に示す本変形例に係るデータドライバは、図 3 に示したデータドライバ 1

6における切替スイッチ部60、状態設定回路62、及び試験用制御部64の代わりに、切替スイッチ部70、状態設定回路72、及び試験用制御部74を有している点に特徴を有している。

図5に示すように、基準電圧選択回路内に、ラダー抵抗部56とセクタ部58との間を電氣的に接続あるいは分離する切替スイッチ部70が設けられている。切替スイッチ部70は、ラダー抵抗部56とセクタ部58との間で各階調電圧線11～164に形成された例えばpch-MOSFETのスイッチング素子P1～P64を有している。

【0104】

各スイッチング素子Pのゲート電極には、後程詳説する試験用制御部74からそれぞれ切替信号Vchが供給されるようになっている。スイッチング素子Pをpch-MOSFETで構成した場合には、“L”レベルの切替信号Vchが入力されたスイッチング素子Pはオン状態になる。オン状態のスイッチング素子Pに接続されている階調電圧線1はラダー抵抗部56と電氣的に接続される。また、切替信号Vchを“H”レベルにすることによりスイッチング素子Pをオフ状態にしてラダー抵抗部56と階調電圧線1とを電氣的に分離することができる。

【0105】

またさらに、ラダー抵抗部56とセクタ部58との間の各階調電圧線11～164には、各階調電圧線11～164のそれぞれを“H”レベル又は“L”レベルに設定する状態設定回路72が設けられている。状態設定回路72は、各階調電圧線11～164にそれぞれ接続された例えばnch-MOSFETからなる状態切替用スイッチング素子N1～N64を有している。各状態切替用スイッチング素子N1～N64のソース（あるいはドレイン）電極側は各階調電圧線11～164に接続され、ドレイン（あるいはソース）電極側は接地されている。状態切替用スイッチング素子N1～N64の各ゲート電極は、スイッチング素子P1～P64の各ゲート電極にそれぞれ共通接続されており、試験用制御部74から切替信号Vchが供給されるようになっている。

【0106】

例えば、階調電圧線11を“H”レベルに設定しようとするれば、切替信号Vc

hを“L”にしてスイッチング素子P 1をオン状態にすると共に状態切替用スイッチング素子N 1をオフ状態にする。これにより、ラダー抵抗部5 6と電氣的に接続された階調電圧線1 1は、ラダー抵抗部5 6から所定電圧が印加されて“H”状態になることができる。なお、動作試験時には、ラダー抵抗部5 6のV 0側及びV 6 3側を例えば+ 8 V程度の同電位にしておくことにより、階調電圧線1 1を確実に“H”状態にさせることができる。

【0 1 0 7】

同様に、階調電圧線1 1を“L”レベルに設定しようとするれば、切替信号V c hを“H”にしてスイッチング素子P 1をオフ状態にすると共に状態切替用スイッチング素子N 1をオン状態にする。これにより、階調電圧線1 1は、ラダー抵抗部5 6と電氣的に分離され、且つ状態切替用スイッチング素子N 1の接地電位と同電位になるため“L”状態になることができる。

【0 1 0 8】

切替スイッチ部7 0及び状態設定回路7 2のスイッチング素子のゲート電極は、試験用制御部7 4に接続されている。試験用制御部7 4は、不図示の試験装置から供給されるテストクロックT S T - C L Kに同期して動作するシフトレジスタ（図示せず）を内蔵している。不図示のシフトレジスタが例えばテストクロックT S T - C L Kの立ち上がりエッジに同期して順次シフトクロックを出力するのに応じて、試験用制御部7 4は切替スイッチ部7 0及び状態設定回路7 2のスイッチング素子のゲート電極に対して順次切替信号V c hを送出するようになっている。

【0 1 0 9】

試験時には、切替スイッチ部7 0及び状態設定回路7 2は、試験用制御部7 4からの切替信号V c hを順次受け取って、階調電圧線1 1～1 6 4のうちの1本だけを順次“H”レベルにすることができるようになっている。

【0 1 1 0】

試験用制御部7 4にはテストクロックT S T - C L Kの他、不図示の試験装置からリセット信号R e s e tが入力するようになっている。リセット信号R e s e tが入力されると試験用制御部7 4内のシフトレジスタがリセットされる。そ

れと共に試験用制御部 74 は、切替スイッチ部 70 及び状態設定回路 72 内の全てのスイッチング素子に対して切替信号 V_{ch} を “H” にして階調電圧線 11 ~ 164 の全てを “L” レベルにするようになっている。

【0111】

次に、本変形例によるデータドライバの製造工程における性能評価や機能試験における動作について説明する。

まず、不図示の試験装置から試験用制御部 74 にリセット信号 R_{reset} が入力して試験用制御部 74 内のシフトレジスタがリセットされると共に、切替スイッチ部 70 及び状態設定回路 72 内の全てのスイッチング素子に対して切替信号 V_{ch} を “H” にして階調電圧線 11 ~ 164 の全てを “L” レベルにする。

また、ラダー抵抗部 56 の V_0 側及び V_{63} 側の端子を不図示の試験装置に接続することにより、 V_0 側及び V_{63} 側電位を例えば +8V 程度の同電位にする。

【0112】

試験時のシフトレジスタ 50 には、通常動作時より高速の試験用ドットクロック TDC_{CLK} が入力する。試験用ドットクロック TDC_{CLK} に同期して、シフトレジスタ 50 には 6 ビットの同一階調の階調データ（例えば、64 階調のうちの第 1 階調 “000000” であるとする）が m ($=384$) 回入力する。シフトレジスタ 50 での m 個の同一階調データの入力が終わると、試験用ドットクロック TDC_{CLK} から生成されたテストクロック $TST-CLK$ がラッチパルス LP の代わりにラッチ回路 52 に入力し、 m 個の階調データがラッチされる。これにより、全てのセクタ部 58 のうち 1 番目のデコーダ $S1-1 \sim S1-m$ のスイッチング素子 $Tr1 \sim Tr6$ がオン状態になる。

【0113】

一方、試験用制御部 72 は、テストクロック $TEST-CLK$ の入力に同期して、階調電圧線 11（通常動作時にはラダー抵抗部 56 から第 1 階調に対応するアナログ電圧が供給される。）に接続された切替スイッチ部 70 及び状態設定回路 72 のスイッチング素子のゲート電極に対して切替信号 $V_{ch} = “L”$ を送出する。これにより、スイッチング素子 $P1$ はオン状態になり、一方、状態切替用

スイッチング素子N1はオフ状態になる。階調電圧線12～164は“L”レベルに維持されて、階調電圧線11だけが“H”レベルに設定される。

【0114】

上述のように、ラダー抵抗部56のV0側及びV63側の端子電位を例えば+8V程度と同電位にしておけば、以上の動作により、出力線Out1～Outmのそれぞれからは、+8V程度の電圧が計測される。出力線Out1～Outmのそれぞれの電圧値をモニタすることにより、上記実施の形態で説明したのと同様にしてデータドライバ16の動作試験をすることができる。動作試験においてデータドライバの良不良を判断する方法は、上記実施形態と同様であるので説明は省略する。

【0115】

さて、次に、試験用ドットクロックTDCCLKに同期して、シフトレジスタ50には6ビットの同一階調の階調データ（例えば、64階調のうちの第2階調“000001”であるとする）がm（=384）回入力する。シフトレジスタ50でのm個の同一階調データの入力が終わるとテストクロックTSTCLKに同期してラッチ回路52にm個の階調データがラッチされる。これにより、全てのセクタ部58のうち2番目のデコーダS2-1～S2-mのスイッチング素子Tr1～Tr6がオン状態になる。

【0116】

一方、試験用制御部72は、階調電圧線11に接続された切替スイッチ部70及び状態設定回路72のスイッチング素子のゲート電極に対して切替信号Vch = “H”を送出する。これにより、スイッチング素子P1はオフ状態になり、且つ状態切替用スイッチング素子N1はオン状態になり、階調電圧線1は“L”レベルに設定されて、再び全階調電圧線11～164が“L”レベルに設定される。

【0117】

次いで、試験用制御部72は、テストクロックTESTCLKの入力に同期して、階調電圧線12（通常動作時にはラダー抵抗部56から第2階調に対応するアナログ電圧が供給される。）に接続された切替スイッチ部70及び状態設定

回路 72 のスイッチング素子のゲート電極に対して切替信号 $V_{ch} = "L"$ を送出する。これにより、スイッチング素子 P2 はオン状態になり、一方、状態切替用スイッチング素子 N2 はオフ状態になる。階調電圧線 11 及び 13 ~ 164 は "L" レベルに維持されて、階調電圧線 12 だけが "H" レベルに設定される。

【0118】

以上の動作により、出力線 Out1 ~ Outm のそれぞれの出力電圧値を計測することにより、上述と同様にしてデータドライバ 16 の動作試験をすることができる。以上説明した試験動作を全 64 階調分繰り返すことにより、全セクタ部 58 の良不良を調べることができる。また、同時にシフトレジスタ 50 やラッチ回路 52 の性能を評価することもできる。

【0119】

このように、本変形例によるデータドライバの試験においては、ラダー抵抗部 56 を利用しつつ試験をすることができる。そのため、図 5 の図示からも明瞭であるが、図 3 に示した上記実施の形態の構成より構造が簡単で素子面積の小さなデータドライバを作製することができる。なお、本変形例に係るデータドライバも、従来のデータドライバに対して上記実施形態に係るデータドライバと同様の効果を有している。

また説明は省略するが本変形例のデータドライバにおいても、上記に説明したストレス電圧の印加試験を容易に実施することができる。

【0120】

本変形例において、以上説明した動作試験が終了した良品のデータドライバ 16 は、以下の手順により通常動作可能状態にすることができる。

まず、ラダー抵抗部 56 の V0 側に例えば 0 V、V63 側に +5 V の電圧が印加されるように、ラダー抵抗部 56 の V0 側端子及び V63 側端子を所定の電源あるいはグランドに接続する。

【0121】

次いで、基準電圧選択回路内のラダー抵抗部 56 とセクタ部 58 との間に設けられた切替スイッチ部 70 において、ラダー抵抗部 56 とセクタ部 58 との間の各階調電圧線 11 ~ 164 に形成されたスイッチング素子 P1 ~ P64 の全

てを一斉にオン状態にする。これにより、ラダー抵抗部 5 6 とセクタ部 5 8 とを電氣的に接続して、各階調電圧線 1 1 ～ 1 6 4 にラダー抵抗部 5 6 からのアナログ階調電圧が印加されるようにする。

【 0 1 2 2 】

このために、スイッチング素子 P 1 ～ P 6 4 を p c h - M O S F E T で構成した場合には、システム側から切替信号 V c h = “ L ” を印加してスイッチング素子 P 1 ～ P 6 4 をオン状態にしてラダー抵抗部 5 6 とセクタ部 5 8 とを電氣的に接続する。これと同時に、状態切替用スイッチング素子 N 1 ～ N 6 4 がオフ状態になるため、各階調電圧線 1 1 ～ 1 6 4 にはラダー抵抗部 5 6 からのアナログ階調電圧が印加されるようになる。

以上の設定により本実施の形態によるデータドライバを通常の動作モードで使うことができるようになる。

【 0 1 2 3 】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では、階調データ D a t a が 6 ビットの場合で説明しているが、本発明はこれに限られず、階調データ D a t a が 3 b i t や 8 b i t 等であってももちろん構わない。階調データのビット数に応じてシフトレジスタ 5 0 やラッチ回路 5 2 の段数、及び基準電圧選択回路のスイッチング素子 T r の数やラダー抵抗部 5 6 の段数を適宜変更すればよい。

【 0 1 2 4 】

また、上記実施の形態では、384本のデータバスラインを駆動するデータドライバ 1 6 を例にとって説明したが、本発明はこれに限らず、任意の本数のデータバスラインを駆動するデータドライバに適用可能である。

【 0 1 2 5 】

また、上記実施の形態では、パネルの一端部にのみデータドライバ 1 6 が配置された構成で説明したが、本発明はこれに限らず、図 6 に示した液晶パネルのように、パネル両端部にデータドライバ 1 6 を配置した場合にももちろん適用可能である。

【 0 1 2 6 】

また、上記実施の形態においては、アクティブマトリクス型液晶表示装置に本発明を適用した例で説明したが、本発明はこれに限らず他の表示装置、例えばEL（エレクトロルミネッセンス）表示装置等に適用することが可能である。

なお、上記実施の形態における液晶表示装置に用いられるTFTの動作半導体層にはアモルファスシリコンあるいはポリシリコンを用いることができる。

【0127】

【発明の効果】

以上の通り、本発明によれば、製造段階において容易で確実な動作試験が行えらると共に、試験時間を短縮することができるデータドライバ及びそれを用いた液晶表示装置を実現できる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態による液晶表示装置の概略構成を示す図である。

【図2】

本発明の一実施の形態によるデータドライバを用いた液晶表示装置の概略構成を示す図である。

【図3】

本発明の一実施の形態によるデータドライバの概略構成を示す図である。

【図4】

本発明の一実施の形態による変形例に係るデータドライバの概略構成を示す図である。

【図5】

本発明の一実施の形態による他の変形例に係るデータドライバの概略構成を示す図である。

【図6】

従来の液晶表示装置の概略構成を示す図である。

【図7】

従来のデータドライバの概略構成を示す図である。

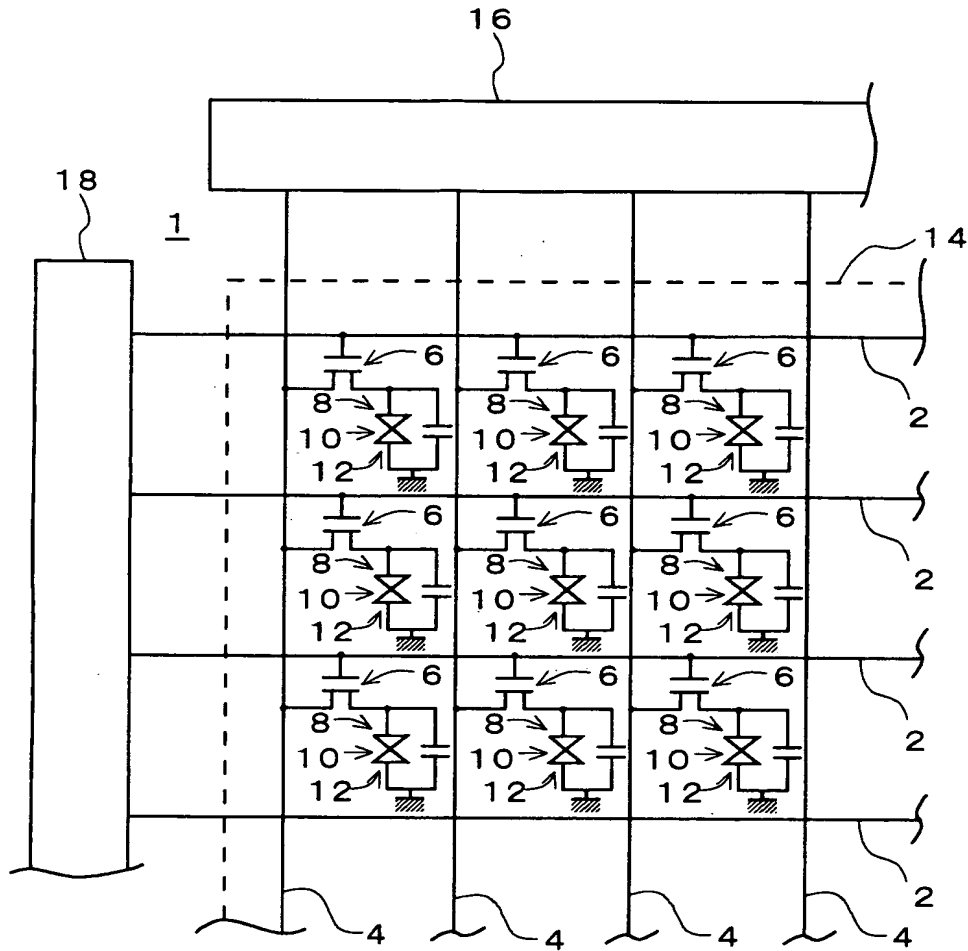
【符号の説明】

1 アレイ基板
2 ゲートバスライン
4 データバスライン
6 TFT
8 画素電極
16 データドライバ
18 ゲートドライバ
20 タイミングコントローラ
28 データ線
30 制御線
50、500 シフトレジスタ
52、502 ラッチ回路
54、504 バッファ
56、506 ラダー抵抗部
58、508 セレクタ部
60、70 切替スイッチ部
62、72 状態設定回路
64、74 試験用制御部
101 液晶表示パネル
103～117 データドライバ
C1～C64、N1～N64 状態切替用スイッチング素子
H1～H64 状態切替回路
11～164 階調電圧線
1s1～1s64、P1～P64 スwitchング素子
R1～R63 抵抗
S1-1～S64-m デコーダ
Tr1～Tr6 スwitchング素子

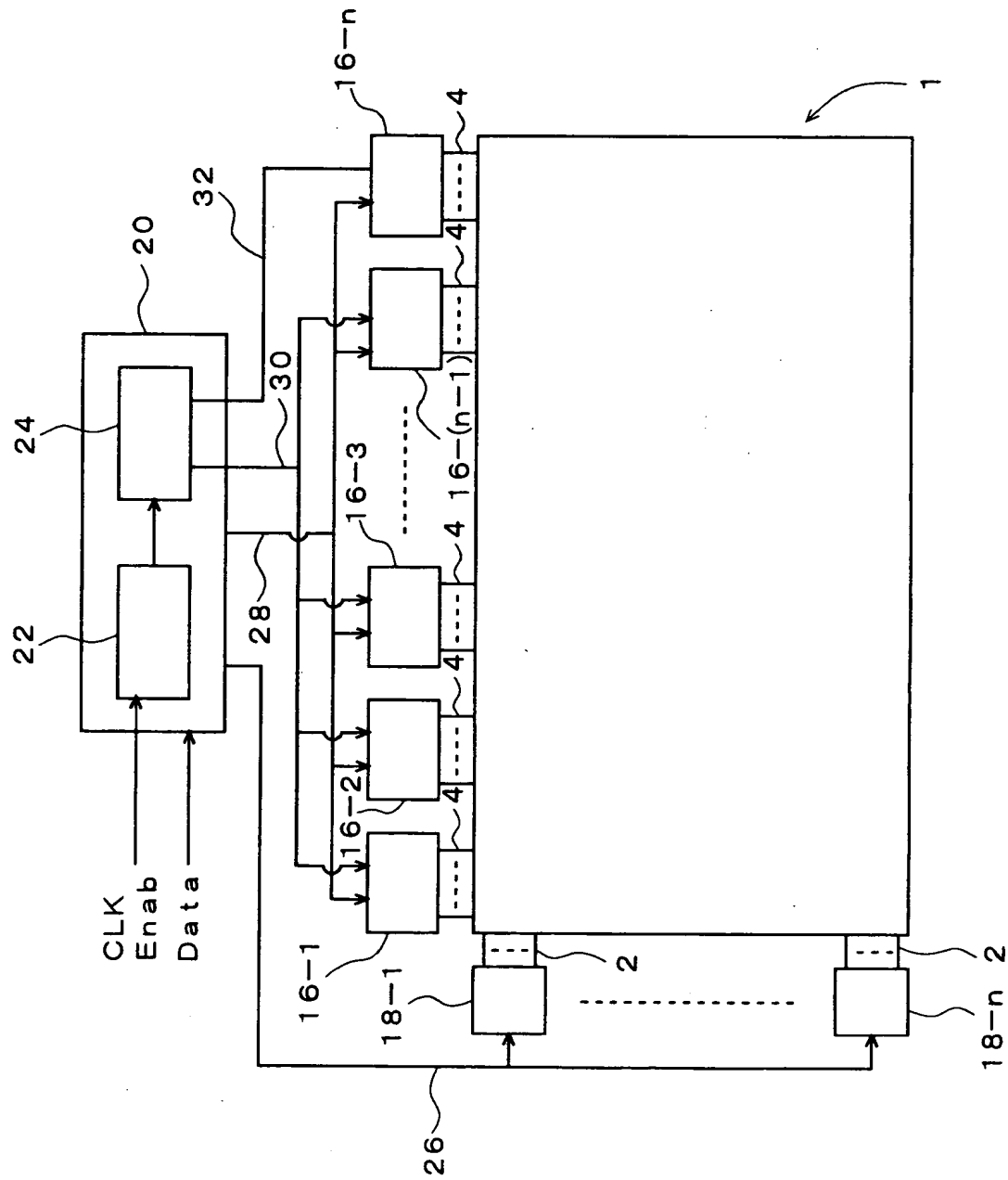
【書類名】

図面

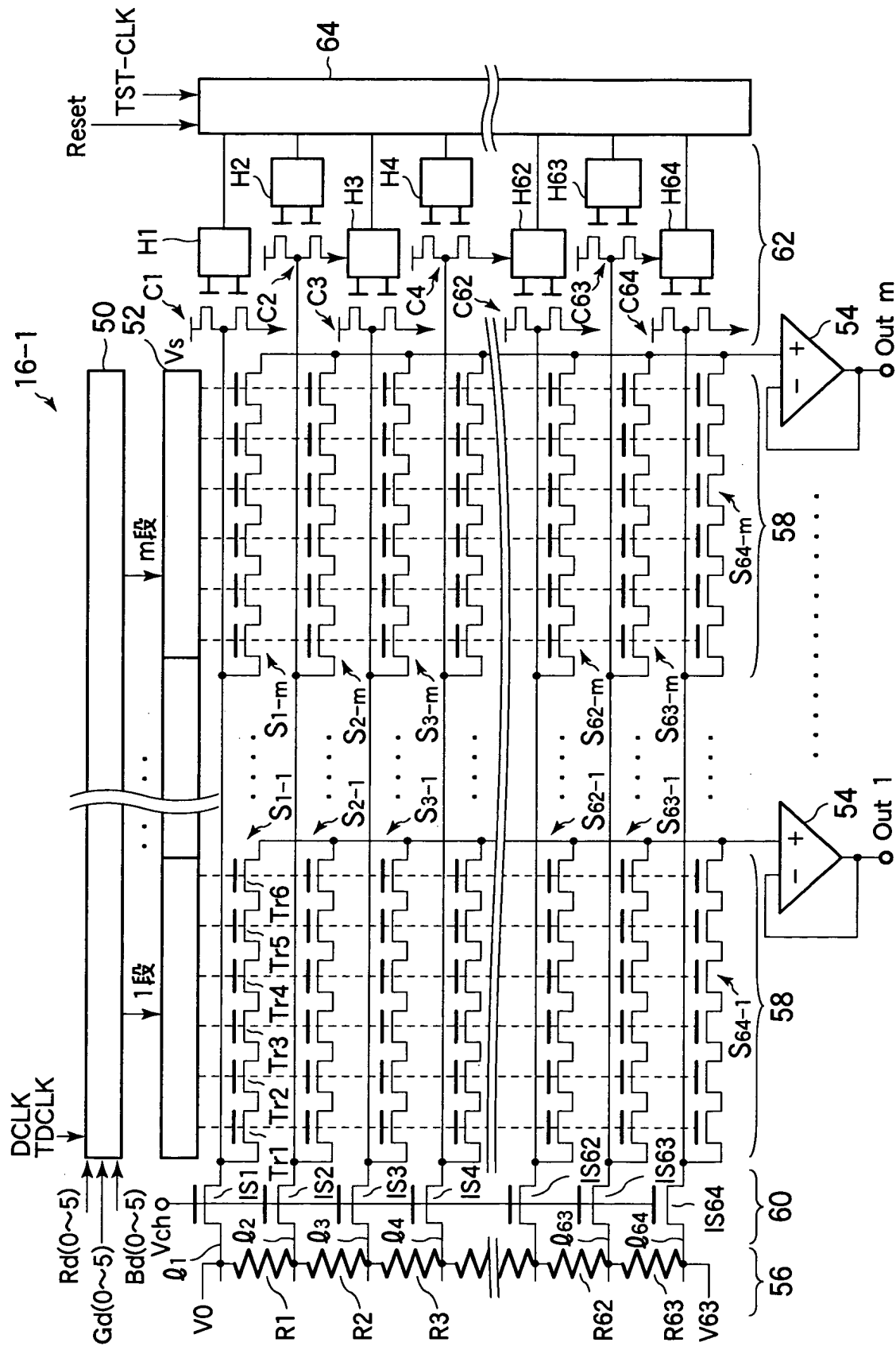
【図 1】



【図 2】

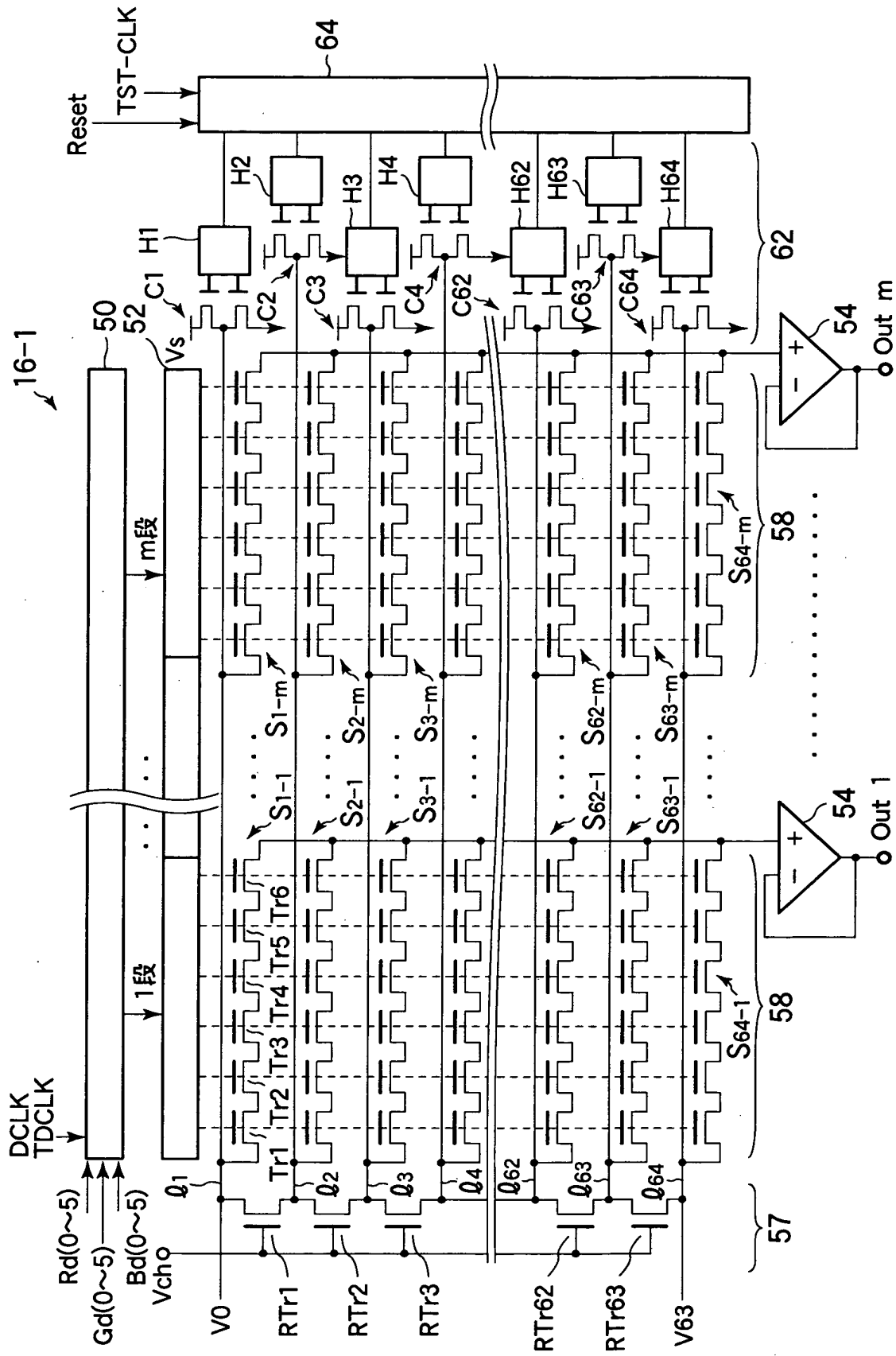


【図 3】



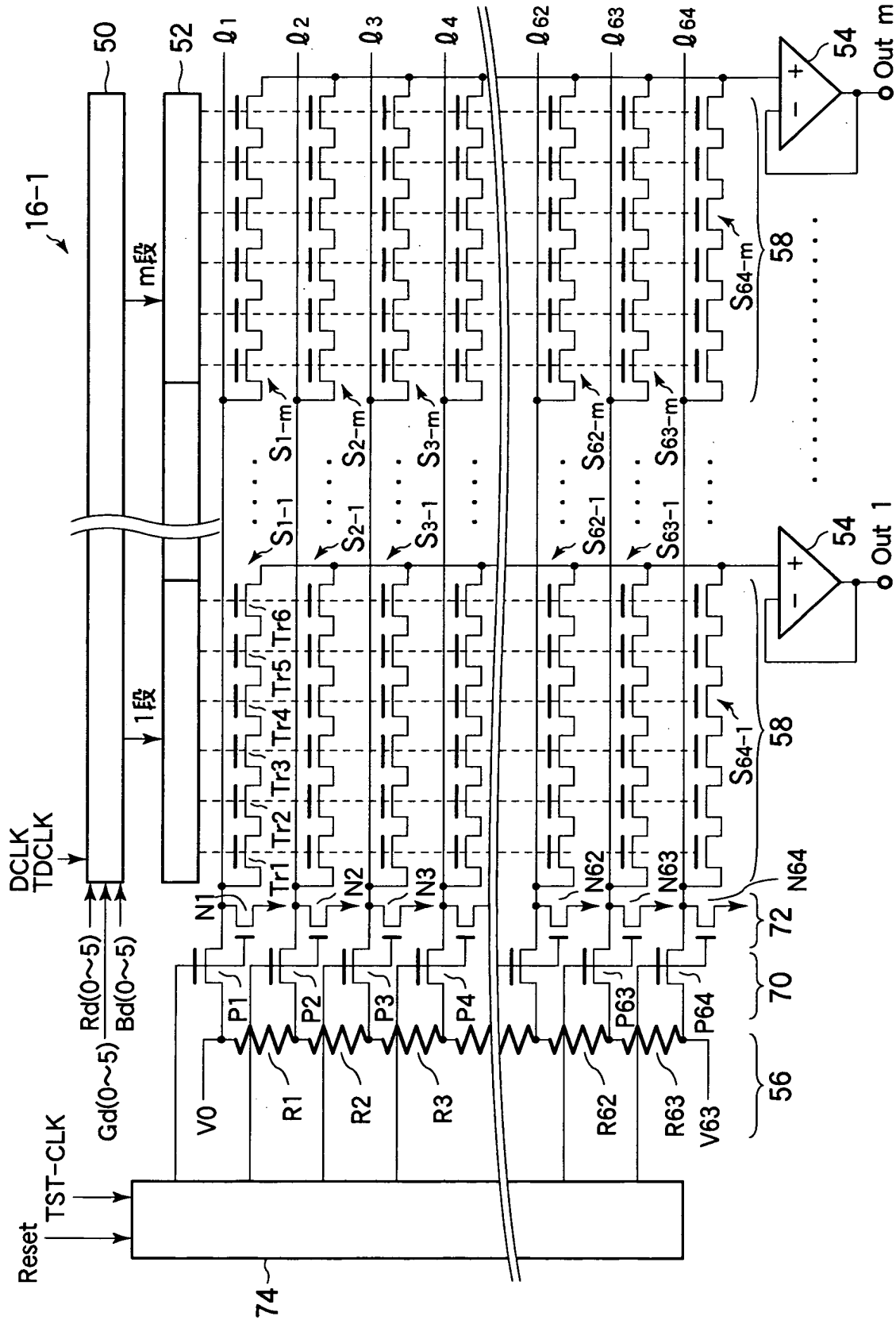
特 2 0 0 0 - 2 1 7 8 9 4

【図 4】

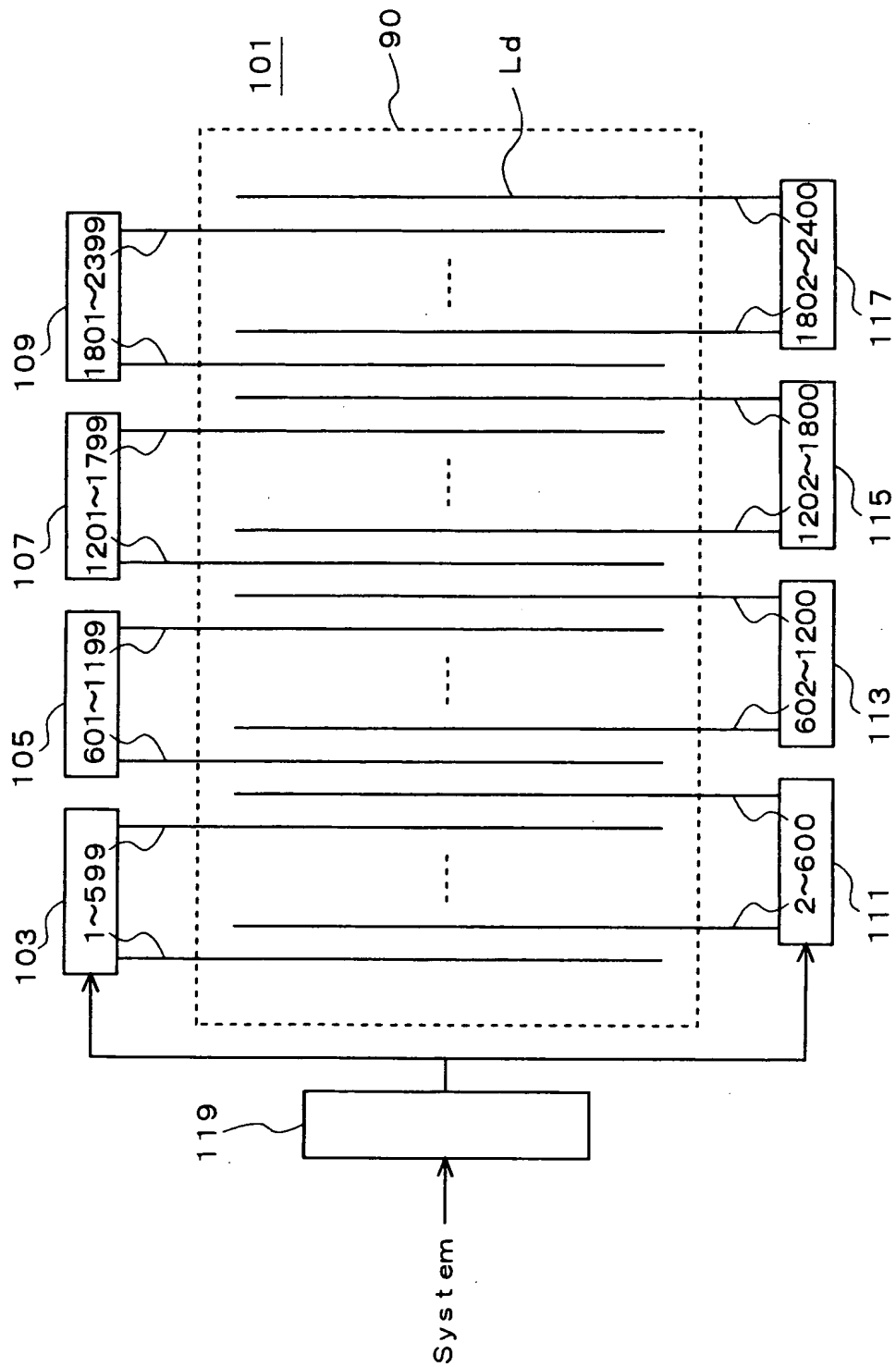


特 2000-217894

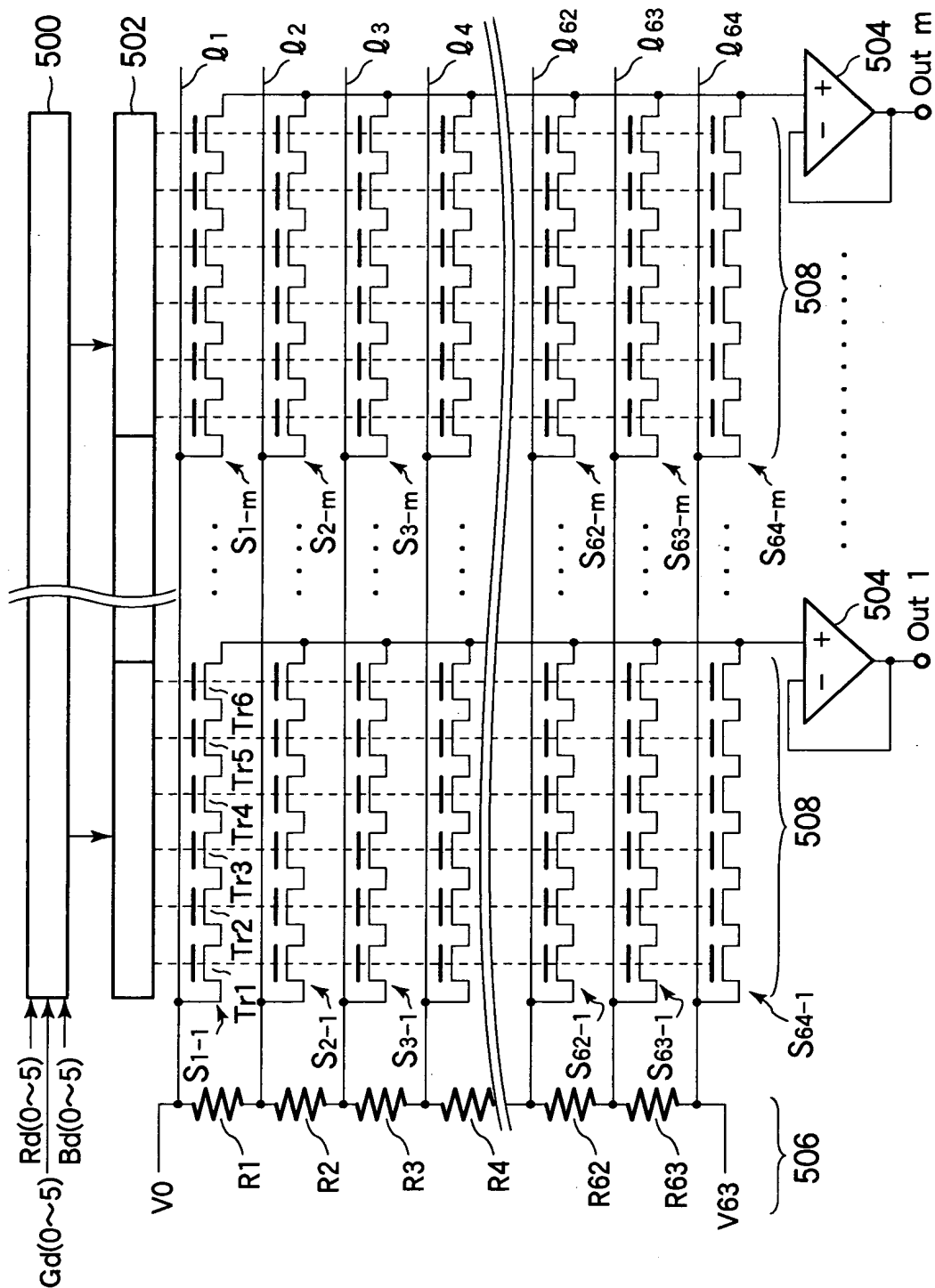
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 本発明は、製造段階において容易で確実な動作試験が行えると共に、試験時間を短縮することができるデータドライバ及びそれを用いた表示装置を提供する。

【解決手段】 ラダー抵抗部 5 6 とセレクト部 5 8 との間を電氣的に接続／分離する切替スイッチ部 6 0 が設けられている。各階調電圧線 1 1 ～ 1 6 4 においてラダー抵抗部 5 6 と反対側の配線端部には、各階調電圧線 1 1 ～ 1 6 4 のそれぞれを H レベル又は L レベルに設定し、あるいは各階調電圧線 1 1 ～ 1 6 4 端を高インピーダンス状態に設定する状態設定回路 6 2 が設けられている。状態設定回路 6 2 は、さらにテストクロック T S T - C L K に同期して動作するシフトレジスタを内蔵した試験用制御部 6 4 に接続されている。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社